



Hi3521/Hi3520A 硬件设计

Checklist

文档版本 03

发布日期 2013-01-21

版权所有 © 深圳市海思半导体有限公司 2012-2013。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为深圳市海思半导体有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

深圳市海思半导体有限公司

地址： 深圳市龙岗区坂田华为基地华为电气生产中心 邮编：518129

网址： <http://www.hisilicon.com>

客户服务电话： +86-755-28788858

客户服务传真： +86-755-28357515

客户服务邮箱： support@hisilicon.com



前 言

概述

本文档主要介绍 Hi3521/Hi3520A 芯片方案的硬件 Checklist。

产品版本

与本文档相对应的产品版本如下。

产品名称	产品版本
Hi3521 芯片	V100
Hi3520A 芯片	V100

读者对象

本文档（本指南）主要适用于以下工程师：

- 技术支持工程师
- 单板硬件开发工程师

修订记录

修订记录累积了每次文档更新的说明。最新版本的文档包含以前所有文档版本的更新内容。



修订日期	版本	修订说明
2013-01-21	03	补充 Hi3520A 的描述 1.4 DDR 电路设计要求 修改关于 DDR 走线的要求。 1.5 SPI/Nand Flash 增加 SPI Flash 的 WP 信号的要求。
2012-11-30	02	1.16 Efuse 模块的设计要求 由“推荐”改为“要求”。
2012-09-21	01	1.1 芯片电源地的设计要求 增加 Hi3521 和 Hi3520A 的 DVDD10 的设计要求。 增加 PLL 电源和芯片的 DVDD10 和 DVDD33 电源的隔离磁珠的要求。 增加 1.18 HDMI 设计要求
2012-06-15	00B01	初始版本。



目 录

前 言.....	i
1 Checklist	1
1.1 芯片电源地的设计要求.....	1
1.2 主芯片时钟电路设计要求.....	1
1.3 复位电路设计要求.....	2
1.4 DDR 电路设计要求	2
1.5 SPI/Nand flash	2
1.6 I ² C 电路设计要求.....	3
1.7 VI/VO 接口与视频接口电路设计要求.....	3
1.8 I ² S 音频电路设计要求.....	4
1.9 SPI 控制接口电路设计要求	4
1.10 USB 电路设计要求	4
1.11 SATA 接口电路要求	4
1.12 ETH 电路设计要求.....	5
1.13 JTAG 和系统控制电路设计要求.....	5
1.14 SD CARD 电路设计要求.....	5
1.15 UART 电路设计要求	6
1.16 EFuse 模块设计要求.....	6
1.17 散热设计.....	6
1.18 HDMI 设计	6



1 Checklist

1.1 芯片电源地的设计要求

√	Items
	CORE 电源（管脚名 DVDD10）：连接数字 1.0V 电源。Hi3521 的 DVDD10 的设计，建议选择大于等于 5A 供电能力的 DC-DC。Hi3520A 的 DVDD10 的设计，建议选择大于等于 4A 供电能力的 DC-DC。
	电源上电顺序，基于一个准则，即高压先于低压上电，即先上 3.3V，后上 2.5V，然后是 1.5/1.8V，最后是 1.0V。
	PLL 供电管脚 VDD10_PLL1、VDD10_PLL2345 和 VDDREF10_PLL2345、AVDD33_PLL1、AVDD33_PLL2345 与系统 1.0V、3.3V 采用磁珠隔离并靠近管脚添加 0.1uf 电容， 磁珠的规格要求为 1000R@100M ，详细电路见 Hi3521 Demb 原理图和 PCB。
	各模块电源的要求请参考芯片手册中的电性能参数，保证电源输出电压加上纹波噪声仍然满足芯片的需求。

1.2 主芯片时钟电路设计要求

√	Items
	Hi3521/Hi3520A 需要一个 24MHz 外接时钟，最大偏差±30ppm。



1.3 复位电路设计要求

√	Items
	低电平复位，输入的上电复位信号低电平维持时间大于 12 个 XIN 晶振时钟周期。
	Hi3521/Hi3520A 的 WDG 是 OD 输出，使用时需提供上拉，推荐上拉电阻阻值 4.7k Ω 。

1.4 DDR 电路设计要求

√	Items
	建议 DDR 的数据信号 DQS、DQ、DM 直连即可，因为内部有 ODT，外部不需要加串联电阻匹配。详细参考《Hi3521/Hi3520A 硬件设计用户指南》。
	DDR2 的时钟信号推荐采用终端匹配方式，建议在负载端跨接 100 Ω \pm 1% 电阻；DDR3 的时钟信号推荐采用戴维南电路匹配，负载端上拉 120 Ω \pm 1% 至 1.5V，同时下拉 120 Ω \pm 1% 到地。
	DDR2/3 的参考电源通过两个电阻串联从 1.8V/1.5V 各自分压得到，分压电阻建议采用 1k Ω 或以下的电阻，精度必须 \pm 1%，以保证电压准确。
	首先，DDR 的 VREF 电源，其走线宽度要求在 20mil 以上，且与其它信号隔离开；1.5V/1.8V 的供电管脚(主芯片与 DDR 颗粒)需要有足够的滤波电容，最少是每两个管脚公用一个滤波电容；DDR 颗粒与 Hi3521/Hi3520A DDRC 接口公用相同的 1.5V/1.8V 电源平面
	PCB 设计过程时，要求 DDR 信号远离系统晶振信号，不要公用相同的回流路径。
	DDR 走线的长度控制，推荐客户采用 Hi3521DMEB 板一样的长度控制，详细见《Hi3521/Hi3520A 硬件设计用户指南》

1.5 SPI/Nand flash

√	Items
	NAND FLASH 支持且仅支持 CS0 启动。NAND FLASH 的 RDY、CS、WP 信号加上拉电阻，推荐电阻值为 4.7k Ω 。
	SPI FLASH 支持且仅支持 CS1 启动。建议 CS0、CS1、HOLD 信号加上拉电阻，推荐电阻值为 4.7k Ω 。WP 信号增加下拉电阻，推荐电阻值为 4.7K。



1.6 I²C 电路设计要求

√	Items
	I ² C 信号 SCL、SDA 是 OD 输出的管脚，需要外接上拉电阻，根据总线负载不同，选择不同阻值的电阻。
	注意：TW2867 与 TW2960 的 I²C 地址设置完全一致，因此需要注意区分 I²C 地址，同时其它 I²C 设备的地址要注意防止与其它设备冲突

1.7 VI/VO 接口与视频接口电路设计要求

√	Items
	Hi3521/Hi3520A 在物理接口上存在 3 个 BT1120 接口，1 个 BT656 输出接口。
	VIU0、VIU1 作为 VI 输入口，16 位数据位宽，支持外同步；两个接口都可拆分为 2 个 BT656 输入口，此时不支持外同步。
	VOU1120 作为 BT1120 输出接口，可外接 HDMI PHY 输出 HDMI 信号；同时，与 VOU656 同时复用为 LCD 的 24bitRGB 信号输出。具体复用关系请参见 Hi3521/Hi3520A H.264 编解码处理器用户指南
	Hi3521/Hi3520A 自带内置 HDMI PHY，即芯片本身可直接输出 HDMI 信号；其 HDMI 模块具有一个专用 I2C 接口，HDMI_REXT 管脚外接 51K 与 6.8K 电阻的并联到地，精度均为 1%；
	Hi3521/Hi3520A 共有 2 组视频 DAC。第一组 VDAC 在芯片接口上有 3 个管脚：VDAC0_IOUT0、VDAC0_IOUT1、VDAC0_IOUT2，但是只有 VDAC0_IOUT0、VDAC0_IOUT1 两个 Pin 脚输出 CVBS 信号，VDAC0_IOUT2 无信号输出，要求对地接 75 Ω 电阻； 设计中，注意阻抗匹配。
	第二组 VDAC 存在 3 个信号输出管脚，即：VDAC1_IOUT0、VDAC1_IOUT1、VDAC1_IOUT2，输出 VGA 信号， 需要注意的是，此处 VGA 接口的 I2C 信号，需要经过电平转换。
	VDAC 的外围配置电阻电容的取值，详细请参考《Hi3521/Hi3520A 硬件设计用户指南》



1.8 I²S 音频电路设计要求

√	Items
	Hi3521/Hi3520A 共有 3 组 I ² S 接口，其中第 SIO0 和 SIO1 接口只支持输入，而 SIO2 支持输入、输出(有 6 个管脚)
	SIO2 I ² S 主要应用于对讲功能的 I ² S 信号输入、输出

1.9 SPI 控制接口电路设计要求

√	Items
	Hi3521/Hi3520A SPI 控制接口，存在 SPI CLK、SDO、SDI 信号以及外加 4 个 CS(低电平有效)信号
	需要注意的是，SPI 在外挂 GV7601 这类采用菊花链连接方式的多组设备时，需要考虑数据经过每个设备时的时延，来设定 SPI 时钟 SCLK 的工作频率。

1.10 USB 电路设计要求

√	Items
	Hi3521/Hi3520A 提供 2 个 USB 接口：USB0，USB1
	建议 Hi3521/Hi3520A 芯片 USB_REXT 管脚外接 $43.2\Omega \pm 1\%$ 电阻到地，并尽量靠近 Hi3521/Hi3520A 芯片管脚放置。
	USB 差分走线不能跨分割，差分线周围最好用地线保护起来。差分线阻抗控制在 $90\Omega \pm 10\%$ 。

1.11 SATA 接口电路要求

√	Items
	Hi3521/Hi3520A 提供 2 个 SATA2.6 接口：SATA0 和 SATA1



√	Items
	SATA 差分的 TX 和 RX 四根差分信号线上串接 10nf 贴片陶瓷电容，需靠近 SATA 插座，走线差分阻抗控制在 100 Ω
	SATA 模块供电管脚 1.0V 与 2.5V，需采用磁珠隔离并添加适量的滤波电容；SATA_REXT 外接 1%精度、191 Ω 的电阻到地。

1.12 ETH 电路设计要求

√	Items
	MDIO 信号是 OD 门输出，建议 MDIO 引脚加上拉电阻，阻值 4.7k Ω ；注意，MDCK 管脚同时复用为 JTAG_SEL0，其分叉的走线长度不能超过 300mil。
	对于网口 PHY 工作在 MII 模式的情况，数据输出的随路时钟请使用 RGMII_TXCK； 对于网口 PHY 工作在 RGMII 模式的情况，数据输出的随路时钟请使用 RGMII_TXCKOUT。

1.13 JTAG 和系统控制电路设计要求

√	Items
	TDI、TDO、TMS 加上拉电阻，阻值 4.7k Ω ，TCK 加 1k Ω 下拉电阻，TRST 信号加 10k Ω 的下拉电阻，预留上拉电阻。
	TESTMODE 管脚接下拉电阻到地，阻值 10k Ω 。

1.14 SD CARD 电路设计要求

√	Items
	Hi3521/Hi3520A 不提供专用的 SD CARD 接口，与 VOU656 接口复用，详细请参见 Hi3521/Hi3520A H.264 编解码处理器用户指南
	建议 SD CARD 电源使用 mos 管控制上下电，高电平有效。
	建议数据/命令信号接上拉电阻到 VCC_SDIO，推荐上拉电阻 4.7k Ω 。



√	Items
	SDIO_CDATA3 不支持卡检测功能。

1.15 UART 电路设计要求

√	Items
	调试串口需要引出来，默认使用 UART0 进行调试。

1.16 EFuse 模块设计要求

√	Items
	要求 VDD25_EFUSE 管脚接 4.7kΩ 下拉电阻到地。

1.17 散热设计

√	Items
	单板散热设计需要适配产品的结构设计，在结构允许的情况下尽量加大散热层的面积。为了使产品工作更加稳定，保证产品内部与外界有热交换途径，推荐采用主芯片通过导热垫接触机壳散热。详细请参考《Hi3521/Hi3520A 硬件设计指南》中的热设计部分。

1.18 HDMI 设计

√	Items
	HDMI 的模拟 1V0 供电 AVDD10_HDMI（管脚 K21，L21），要求必须用 1000R100M 的磁珠跟 1V0 隔离，并且在磁珠后加 100uF 和 0.1uF 的滤波电容，详细请参考 DEMO 板的原理图设计。